

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-102492

(43)Date of publication of application : 15.04.1997

(51)Int.Cl.

H01L 21/316  
H01L 21/31  
H01L 21/3205

(21)Application number : 07-256307

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.10.1995

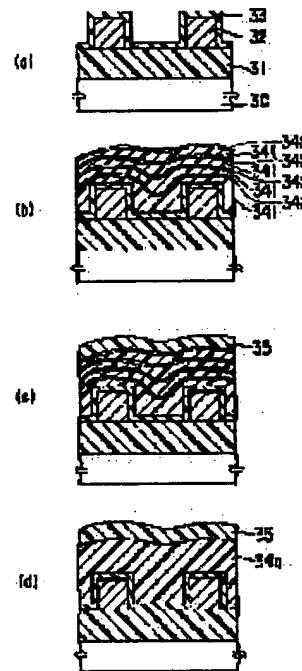
(72)Inventor : SUNADA TAKESHI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MANUFACTURING APPARATUS

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To lower the relative dielectric constant of a reflow insulating film by a method wherein a fluorine-based gas is introduced into a reaction chamber, a plasma discharge is performed in a specific vacuum or lower and within a temperature range at a specific temperature or lower and at a specific temperature or lower, the surface of the reflow SiO<sub>2</sub> film is plasma-treated and a heat treatment is executed to a semiconductor substrate.

**SOLUTION:** An insulating film 31 is formed on a semiconductor substrate 30, and a wiring pattern 32 is formed on it. SiH<sub>4</sub> gas and H<sub>2</sub>O<sub>2</sub> are introduced into a reaction chamber which houses the semiconductor substrate 30 on which the wiring pattern 32 is formed, they are reacted with each other in a vacuum of 665Pa or lower within a temperature range at -10° C or higher and at +10° C or lower, and a reflow SiO<sub>2</sub> film 341 is formed. In addition, NF<sub>3</sub> gas is introduced into the reaction chamber, a plasma discharge is performed in a prescribed vacuum, the surface of the reflow SiO<sub>2</sub> film 341 is plasma-treated, and a prescribed heat treatment is executed to the semiconductor substrate 30. Thereby, the relative dielectric constant of the reflow SiO<sub>2</sub> film can be lowered.



### LEGAL STATUS

[Date of request for examination]

03.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平9-102492

(43) 公開日 平成9年(1997)4月15日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/316		H 0 1 L	21/316
	21/31			X
	21/3205			P
				C
				K

審査請求 未請求 請求項の数8 OL (全7頁)

(21) 出願番号 特願平7-256307

(22) 出願日 平成7年(1995)10月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 砂田 武

福岡県北九州市小倉北区下剱津1丁目10番

1号 株式会社東芝北九州工場内

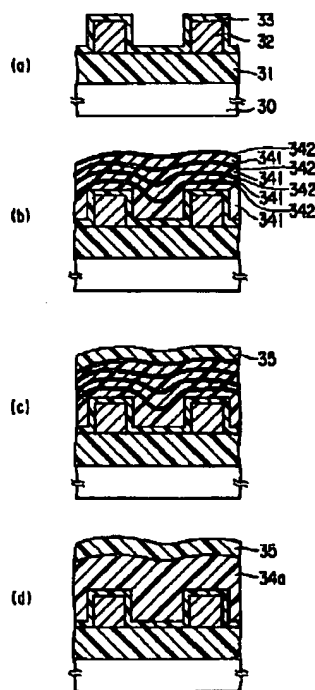
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置の製造方法および半導体製造装置

(57) 【要約】

【課題】半導体装置の多層配線工程中の層間絶縁膜形成工程にリフロー絶縁膜形成技術を採用した場合に得られるリフロー絶縁膜の比誘電率を高くし、平坦性に優れた層間絶縁膜を平坦化工程を行うことなく低コストで実現する。

【解決手段】半導体基板30上の絶縁膜31上に配線パターン32を形成する工程と、配線パターンを形成後の半導体基板を収容した反応室内に $\text{SiH}_4$ ガスおよび $\text{H}_2\text{O}_2$ を導入し、665Pa以下の真空中、 $-10^\circ\text{C}$ 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー $\text{SiO}_2$ 膜341を形成するリフロー膜形成工程と、この工程に引き続き、反応室内に $\text{NF}_3$ ガスを導入し、所定の真空中でプラズマ放電させてリフロー $\text{SiO}_2$ 膜の表面をプラズマ処理するプラズマ処理工程と、この後、半導体基板に対して所定の熱処理を行う熱処理工程とを具備する。



## 【特許請求の範囲】

【請求項1】 半導体基板上の絶縁膜上に配線パターンを形成する工程と、上記配線パターンが形成された半導体基板を収容した反応室内に $\text{SiH}_4$ ガスおよび $\text{H}_2\text{O}_2$ を導入し、665Pa以下の真空中、 $-10^\circ\text{C}$ 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー $\text{SiO}_2$ 膜を形成するリフロー膜形成工程と、上記リフロー膜形成工程に引き続き、前記反応室内にフッ素系ガスを導入し、所定の真空中でプラズマ放電させて前記リフロー $\text{SiO}_2$ 膜の表面をプラズマ処理するプラズマ処理工程と、この後、前記半導体基板に対して所定の熱処理を行う熱処理工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記フッ素系ガスとして、 $\text{NF}_3$ ガス、 $\text{CF}_4$ ガス、 $\text{C}_2\text{F}_6$ ガス、 $\text{SF}_6$ ガスのいずれかを使用することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法において、さらに、前記リフロー膜形成工程とプラズマ処理工程とを同一反応室内で交互に複数回実施することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、前記リフロー $\text{SiO}_2$ 膜を膜厚 $T$ に成膜する際、前記リフロー $\text{SiO}_2$ 膜を厚さ $t$ だけ成膜する工程と、この工程に引き続いて真空中で連続的に前記フッ素系ガスによるプラズマ表面処理を行って前記厚さ $t$ のリフロー $\text{SiO}_2$ 膜の表面に高濃度 $F$ 層を形成する工程とを、 $x$  ( $=T/t$ ) サイクル繰り返すことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1乃至4のいずれか1項に記載の半導体装置の製造方法において、さらに、前記配線パターンを形成後の半導体基板上にプラズマCVD法により第1のプラズマCVD絶縁膜を堆積形成する工程と、前記リフロー膜形成工程とプラズマ処理工程とを全て終了した後の前記半導体基板上にプラズマCVD法により第2のプラズマCVD絶縁膜を堆積形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5項に記載の半導体装置の製造方法において、前記プラズマCVD絶縁膜形成工程後に前記熱処理工程としてファーストアニールを行うことにより、前記リフロー $\text{SiO}_2$ 膜の膜中水分を放出させ、かつ、フッ素を拡散させて $\text{SiOF}$ を含むリフロー $\text{SiO}_2$ 膜を得ることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至6のいずれか1項に記載の半導体装置の製造方法において、前記プラズマ処理工程は、400KHz以下の周波数の高周波電力を使用してプラズマ放電させることを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板を載置するためのウエハセクタを収容したチャンバー内に $\text{SiH}_4$ ガスおよび $\text{H}_2$

$\text{O}_2$ を導入し、665Pa以下の真空中、 $-10^\circ\text{C}$ 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー $\text{SiO}_2$ 膜を前記半導体基板上に堆積する第1の機能と、上記チャンバー内にフッ素系ガスを導入し、所定の真空中でプラズマ放電によって上記リフロー $\text{SiO}_2$ 膜の表面のプラズマ処理を行う第2の機能とを備えた減圧CVD装置と、上記減圧CVD装置の第1および第2の機能を交互に選択制御し得る制御装置とを具備することを特徴とする半導体製造装置。

## 10 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法およびその製造装置に係り、特に多層配線構造を有する半導体装置の層間絶縁膜の形成方法およびその形成装置に関する。

## 【0002】

【従来の技術】半導体装置の集積度が増大するにつれて、基板上に配線材料を多層にわたって形成する、いわゆる多層配線化が進んでおり、このような多層配線構造を有する半導体装置の製造工程が複雑化、長工程化してきている。特に、多層配線の形成工程が半導体装置の製造価格に占める割合は大きく、半導体装置のコストダウンを図る上で多層配線工程の低減化の要求が高まってきており、多層配線工程の工程数を減らすために絶縁層の平坦化技術が重要である。

【0003】層間絶縁膜表面の平坦化技術の1つとして、APL (Advanced Planarisation Layer) プロセスが報告 (文献; Matsuura et. al., IEEE Tech. Dig., pp117, 1994) されている。

30 【0004】このAPLプロセスは、層間絶縁膜の形成に際して、 $\text{SiH}_4$ ガスと酸化剤である $\text{H}_2\text{O}_2$  (過酸化水素水) とを低温 (例えば $0^\circ\text{C}$ 程度) ・真空中で反応させることにより、表面流動性の高い $\text{Si}(\text{OH})_4$ が中間生成物として反応に関与し、その結果、下層配線の上に平坦化可能な自己流動型 (リフロー) の $\text{SiO}_2$ 膜 (以下、リフロー $\text{SiO}_2$ 膜という) が形成されるものである。

40 【0005】この方法は、下層配線の配線相互間の絶縁膜の埋め込みと絶縁膜表面の平坦化を同時に達成でき、1回の成膜で平坦化までの工程を終了するので、多層配線工程の低減化の要求に応えることができる。

【0006】ここで、従来の多層配線の形成工程について、図5 (a) 乃至 (c) を参照して説明する。まず、図5 (a) に示すように、半導体基板30上に素子領域 (図示せず) などを形成した後、常圧CVD法により下地絶縁膜31を成膜し、コンタクトホール (図示せず) を形成する。

50 【0007】この後、下層配線用の第1の配線材料 (例えば $\text{Si}$ を1%、 $\text{Cu}$ を0.5%を含むアルミニウム) を堆積後、フォトリソグラフィ法、RIE (反応性イオ

ンエッチング)法を用いて配線材料のパターニングを行って下層配線32を形成する。

【0008】次に、通常のプラズマCVD法により、下層配線32上に第1層間絶縁膜(ベース絶縁膜)としてプラズマCVD絶縁膜33を成膜する。次に、図5

(b)に示すように、前記した方法によりリフローSiO<sub>2</sub>膜34を形成することにより、前記下層配線32の配線相互間にリフローSiO<sub>2</sub>膜34を埋め込むとともに表面の平坦化を達成する。なお、前記リフローSiO<sub>2</sub>膜34は、その生成プロセスに起因して成膜時に水分

10 膜を吸収し、リフローSiO<sub>2</sub>膜34には膜中水分(成膜時に吸収した水分)が存在する。

【0009】次に、図5(c)に示すように、前記リフローSiO<sub>2</sub>膜34上に通常のプラズマCVD法により第2層間絶縁膜(キャップ膜)として第2のプラズマCVD絶縁膜35を形成する。

【0010】この後、半導体基板30をファーンেসアニール炉に収容し、大気中で例えば450℃の高温中で30分程度の熱処理(ファーンেসアニール)を行い、リフローSiO<sub>2</sub>膜34の膜中水分を放出させる。

【0011】この後、層間絶縁膜にコンタクトホールあるいはビアホールを開孔するためのエッチングを行い、上層配線用の第2の配線材料(例えばSiを1%、Cuを0.5%を含むアルミニウム)を堆積後、パターニングを行って上層配線(図示せず)を形成する。

【0012】しかし、上記したような従来のリフローSiO<sub>2</sub>膜34の形成方法は、リフローSiO<sub>2</sub>膜34の堆積中はSiH<sub>4</sub>ガスとH<sub>2</sub>O<sub>2</sub>とを連続的に供給しており、このような方法により形成されたリフローSiO<sub>2</sub>膜34は、比誘電率が4.5~4.7程度と高い(熱酸化による通常のSiO<sub>2</sub>膜で3.9程度)。

【0013】これにより、上記リフローSiO<sub>2</sub>膜34を含む層間絶縁膜の容量(ひいては配線容量)が大きくなり、高速MOSデバイス、高速ロジック回路などに要求される低誘電率絶縁膜への追従が困難になり、高速デバイスへの適用が困難になるという問題がある。

【0014】なお、上記リフローSiO<sub>2</sub>膜34を含む層間絶縁膜の容量を小さくしようとしてリフローSiO<sub>2</sub>膜34の膜厚を厚くすると、ファーンেসアニールなどの熱処理に際してリフローSiO<sub>2</sub>膜34の膜中水分の放出量が多くなり、リフローSiO<sub>2</sub>膜34の急激な収縮によってリフローSiO<sub>2</sub>膜34の割れ(クラック)が発生してしまう。

【0015】また、上記比誘電率を低くする方法として、リフロー絶縁膜中にフッ素(F)を取り込むことが有効であるが、前記したような従来の低温・減圧CVD法を用いたリフローSiO<sub>2</sub>膜34の形成方法のままで、リフロー絶縁膜の形成途中でフッ素ガスが分解し難いので、リフロー絶縁膜中にFを取り込むことが困難である。

【0016】そこで、上記したようなリフロー絶縁膜中にFを取り込むための工夫が必要とされており、その一例として、本願出願人は、特願平7-12410号により、低温・減圧CVD法を用いたリフローSiO<sub>2</sub>膜の形成時にマイクロ波導波管を通したラジカルな状態のフッ素系ガスを反応室内に導入し、SiH<sub>4</sub>ガス、H<sub>2</sub>O<sub>2</sub>およびフッ素系ガスを互いに反応させる製造方法を提案した。この製造方法により、低温・減圧CVD法によりリフローSiO<sub>2</sub>膜を形成する際にリフローSiO<sub>2</sub>膜の形成途中で膜中にFを取り込むことができ、リフローSiO<sub>2</sub>膜の比誘電率が3.6以下に低くなることが確認された。

【0017】

【発明が解決しようとする課題】上記したように従来の多層配線工程中の層間絶縁膜形成工程にリフロー絶縁膜形成技術を採用した場合に得られるリフローSiO<sub>2</sub>膜は、比誘電率が高いという問題があった。

【0018】本発明は上記の問題点を解決すべくなされたもので、半導体装置の多層配線工程中の層間絶縁膜形成工程にリフロー絶縁膜形成技術を採用した場合に得られるリフロー絶縁膜の比誘電率を低くすることができ、平坦性に優れた層間絶縁膜を平坦化工程を行うことなく低コストで実現し得る半導体装置の製造方法および半導体製造装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上の絶縁膜上に配線パターンを形成する工程と、上記配線パターンを形成後の半導体基板を収容した反応室内にSiH<sub>4</sub>ガスおよびH<sub>2</sub>O<sub>2</sub>を導入し、665Pa以下の真空中、-10℃以上+10℃以下の温度範囲内で互いに反応させ、リフロー形状を有するリフローSiO<sub>2</sub>膜を形成するリフロー膜形成工程と、上記リフロー膜形成工程に引き続き、前記反応室内にフッ素系ガスを導入し、所定の真空中でプラズマ放電させて前記リフローSiO<sub>2</sub>膜の表面をプラズマ処理するプラズマ処理工程と、この後、半導体基板に対して所定の熱処理を行う熱処理工程とを具備する。

【0020】また、本発明の半導体製造装置、半導体基板を載置するためのウエハサセプタを収容したチャンバ内にSiH<sub>4</sub>ガスおよびH<sub>2</sub>O<sub>2</sub>を導入し、665Pa以下の真空中、-10℃以上+10℃以下の温度範囲内で互いに反応させ、リフロー形状を有するリフローSiO<sub>2</sub>膜を前記半導体基板上に堆積する機能および上記チャンバ内にフッ素系ガスを導入し、所定の真空中でプラズマ放電によって上記リフローSiO<sub>2</sub>膜の表面のプラズマ処理を行うプラズマ処理機能を備えた減圧CVD装置と、上記減圧CVD装置の2つの機能を交互に選択し得る制御装置とを具備する。

【0021】

50 【発明の実施の形態】以下、図面を参照して本発明の実

施の形態を詳細に説明する。図1は、本発明の半導体装置の製造方法の実施の形態で使用されるマルチチャンバー型の半導体製造装置の構成の一例を概略的に示している。

【0022】図1において、1はプラズマCVD装置、2は減圧CVD装置、3は半導体基板が収容されてセットされるカセットローダー室、4は上記カセットローダー室3と前記プラズマCVD装置1の反応室あるいは減圧CVD装置2の反応室との間で半導体基板を搬送（搬入・搬出）するロボットアームである。

【0023】上記プラズマCVD装置1は、通常の構成を有するもので、その構成の一例を図2に概略的に示している。図2中、11は反応室（チャンバー）、12は上部電極（シャワーヘッド）、13は下部電極（テーブル）、14は排気口、15はプロセスガス供給管、16は高周波電力供給管である。

【0024】図3は、前記減圧CVD装置2の構成の一例を機能選択用の制御装置5とともに概略的に示している。上記減圧CVD装置2は、通常の構成を有する減圧CVD装置に対して、CVD絶縁膜の堆積とCVD絶縁膜表面のプラズマ処理とを交互に実施し得る機能が追加されている。

【0025】即ち、上記減圧CVD装置2は、チャンバー（反応室）20内に $\text{SiH}_4$  ガスおよび $\text{H}_2\text{O}_2$  を導入し、665Pa以下の真空中、 $-10^\circ\text{C}$ 以上 $+10^\circ\text{C}$ 以下の温度範囲内で互いに反応させ、リフロー形状を有するリフロー $\text{SiO}_2$ 膜を半導体基板30上に堆積するリフロー $\text{SiO}_2$ 膜堆積機能および上記チャンバー20内に $\text{NF}_3$ ガスを導入し、所定の真空中でプラズマ放電によって上記リフロー $\text{SiO}_2$ 膜の表面のプラズマ処理を行うプラズマ処理機能を有する。

【0026】また、前記制御装置5は、上記減圧CVD装置2の2つの機能を交互に選択するために、前記各供給経路に挿入されている開閉弁やRF源を制御する機能を有する。

【0027】図3において、21はチャンバー内部に設置され、半導体基板（ウェハー）30を載置するための石英製の枚葉式のウェハサセプタである。22は、チャンバー内部に設けられ、 $\text{SiH}_4$  ガスおよび $\text{H}_2\text{O}_2$  をウェハー30上に導くためのシャワーヘッドであり、プラズマ放電用の上部電極を兼ねている。23はチャンバー内部に設けられたテーブルであり、プラズマ放電用の下部電極を兼ねている。

【0028】24はチャンバー外部に設けられた $\text{SiH}_4$  ガス供給源からチャンバー内に $\text{SiH}_4$ ガスを供給するための $\text{SiH}_4$ ガス供給経路である。25はチャンバー外部に設けられた $\text{H}_2\text{O}_2$ 供給源からチャンバー内に $\text{H}_2\text{O}_2$ を供給する（例えば $\text{H}_2\text{O}_2$ をヒーターにより加熱して水蒸気の状態で供給する）ための $\text{H}_2\text{O}_2$ 供給経路である。26はチャンバー外部に設けられた $\text{NF}_3$

ガス供給源からチャンバー内に $\text{NF}_3$ ガスを供給するための $\text{NF}_3$ ガス供給経路である。27はチャンバー外部に設けられた高周波電源（RF源）28からチャンバー内に高周波電力を供給するための高周波電力供給経路である。

【0029】なお、上記高周波電源28は、前記プラズマCVD装置10で使用される高周波電源（通常、400KHz以下の高周波電力を供給する）を流用してもよく、400KHz以下の高周波電力を発生するものである。

【0030】29はチャンバーに設けられている排気口であり、チャンバー外部で上記排気口に排気パイプを介して連結されて設けられた真空排気用ポンプ（図示せず）により前記チャンバー内を所定の真空状態に設定し得るように構成されている。

【0031】図4（a）乃至（d）は、本発明の半導体装置の製造方法の実施の形態において、多層配線工程中の層間絶縁膜形成工程に図1の半導体製造装置およびリフロー絶縁膜形成技術を採用し、リフロー $\text{SiO}_2$ 膜の堆積とリフロー $\text{SiO}_2$ 膜の表面のプラズマ処理を繰り返した場合の一例を示している。

【0032】まず、図4（a）に示すように、半導体基板（通常、シリコンウェハー）30上に素子領域（図示せず）などを形成した後、常圧CVD法により下地絶縁膜31を成膜し、下地絶縁膜31にコンタクトホール（図示せず）を形成する。

【0033】この後、下層配線用の第1の配線材料（例えばSiを1%、Cuを0.5%を含むアルミニウム）を堆積後、フォトリソグラフィ法、RIE（反応性イオンエッチング）法を用いて第1の配線材料のパターニングを行って下層配線32を形成する。

【0034】次に、前記半導体製造装置を使用して、下層配線32の配線間に絶縁膜を埋め込むと共に下層配線上に絶縁膜を堆積することにより層間絶縁膜を形成する。この層間絶縁膜の形成工程においては、まず、下層配線32上に第1層間絶縁膜（ベース絶縁膜）としてプラズマCVD絶縁膜33を成膜する。この場合、下層配線形成後の半導体基板30を前記カセットローダー室3内の例えば石英製のボート上にセットする。そして、ドライポンプ（図示せず）を用いてカセットローダー室3内を所定の真空状態に設定し、ロボットアーム4により、前記半導体基板30をプラズマCVD装置1の反応室11内に搬入させる。このプラズマCVD装置1の反応室11内を所定の真空状態に設定すると共に下部電極13を300℃程度に設定しておき、半導体基板30上の全面に0.1μm以上の厚さの第1のプラズマ $\text{SiO}_2$ 膜33を形成する。

【0035】次に、ロボットアーム4により、前記半導体基板30をプラズマCVD装置1のチャンバー11内から減圧CVD装置2のチャンバー20内へ搬送させて

ウェハーサセブタ21上にセットし、図4(d)に示すように、前記第1のプラズマSiO<sub>2</sub>膜33上にリフローSiO<sub>2</sub>膜34aを堆積する。

【0036】この場合、まず、減圧CVD装置2のチャンパー20内に、SiH<sub>4</sub>ガスを所定の流量で導入し、かつ、H<sub>2</sub>O<sub>2</sub>を所定の流量で導入し、5 Torr = 5 × 133.322 Pa (ほぼ665 Pa) 以下の真空中、-10℃以上+10℃以下の温度範囲内 (例えば0℃) で互いに反応させ、図4(b)に示すように、半導体基板30上にリフロー形状を有するリフローSiO<sub>2</sub>膜341を得る。

【0037】なお、上記リフローSiO<sub>2</sub>膜341は、その生成プロセスに起因して成膜時に水分を吸収し、リフローSiO<sub>2</sub>膜341には膜中水分 (成膜時に吸収した水分) が存在する。

【0038】次に、上記リフロー膜形成工程に引き続き、前記チャンパー20内の残留ガスを真空引きにより排出した後、チャンパー20内にNF<sub>3</sub>ガスを導入し、さらに、400 KHz以下の所定の電力量の高周波信号を所定時間だけチャンパー20内に供給し、所定の真空中 (本例では前記665 Pa以下の真空中) でプラズマ放電させる。

【0039】これにより、リフローSiO<sub>2</sub>膜341の表面がプラズマ処理され、リフローSiO<sub>2</sub>膜341の表面に高濃度F層342が形成される。この後、前記チャンパー20内の残留ガスを真空引きにより排出する。

【0040】本例では、上記したようなリフロー膜形成工程およびプラズマ処理工程を交互に複数回行うことにより、リフローSiO<sub>2</sub>膜341と高濃度F層342とを複数層形成する。

【0041】この場合、膜厚T (例えば1.0 μm) のリフローSiO<sub>2</sub>膜34aを成膜するには、前記リフローSiO<sub>2</sub>膜341を厚さt (例えばほぼ0.2 μm) 成膜する工程と、この後、同一チャンパー20内で、かつ、真空中において、NF<sub>3</sub>ガスによるプラズマ表面処理を行って高濃度F層342を形成する工程とを、x (=T/t) サイクル (本例では5回) 繰り返す。

【0042】この後、半導体基板30に対して所定の熱処理を行うが、本例では後述するファーンেসアニール工程により上記熱処理を行う。次に、ロボットアーム4により、前記半導体基板30を減圧CVD装置2のチャンパー20内からプラズマCVD装置1の反応室11内へ搬送させる。そして、通常プラズマCVD法により、図4(c)に示すように、最上位の高濃度F層342上に第2層間絶縁膜 (キャップ膜) として第2のプラズマCVD絶縁膜 (例えばプラズマCVD-SiO<sub>2</sub>膜) 35を形成する。

【0043】この後、上記半導体基板30をプラズマCVD装置1から取り出し、ファーンেসアニール炉に収容し、例えば450℃の高温中 (通常、大気中) で30分

程度のファーンেসアニールを行う。これにより、リフローSiO<sub>2</sub>膜341の膜中水分を放出させ、かつ、Fを拡散させることにより、SiOFを含むリフローSiO<sub>2</sub>膜34aが図4(d)に示したように得られる。

【0044】この後、層間絶縁膜にコンタクトホールあるいはビアホールを開口するためのエッチングを行い、上層配線用の第2の配線材料 (例えばSiを1%、Cuを0.5%を含むアルミニウム) を堆積後、パターニングを行って上層配線 (図示せず) を形成する。

【0045】即ち、上記実施の形態においては、多層配線工程中の層間絶縁膜形成工程にリフロー絶縁膜形成技術を採用し、絶縁膜上に配線パターンを形成し、ベース膜としてプラズマCVD絶縁膜を形成する。この後、上記半導体基板を収容した反応室内にSiH<sub>4</sub>ガスとH<sub>2</sub>O<sub>2</sub>とを導入し、665 Pa以下の真空中、-10℃以上+10℃以下の温度範囲内で互いに反応させることにより、リフローSiO<sub>2</sub>膜341を形成する。次に、前記反応室内にNF<sub>3</sub>ガスを導入し、所定の真空中でプラズマ放電させてリフローSiO<sub>2</sub>膜341の表面をプラズマ処理して高濃度F層342を得る。この後、上記半導体基板上にキャップ膜としてプラズマCVD絶縁膜を形成するものである。

【0046】この場合、低温での減圧CVD法によりリフローSiO<sub>2</sub>膜341を形成する工程およびNF<sub>3</sub>ガスによるプラズマ処理によりリフローSiO<sub>2</sub>膜341の表面に高濃度F層342を形成する工程を適当な回数繰り返した後、リフローSiO<sub>2</sub>膜341の膜中水分を放出させるとともにSiOFをリフローSiO<sub>2</sub>膜34aを得るための熱処理を行うことにより、熱酸化シリコン膜の比誘電率 (3.9程度) よりも比誘電率が低く、かつ、平坦性に優れたシリコン系酸化膜が得られる。

【0047】因みに、本例で得られるSiOFを含むリフローSiO<sub>2</sub>膜34aの比誘電率は3.7程度であることを確認した。この結果、上記リフローSiO<sub>2</sub>膜34aを含む層間絶縁膜の容量 (ひいては配線容量) が小さくなる。

【0048】従って、上記実施の形態によれば、平坦性に優れ、かつ、比誘電率が低い層間絶縁膜を平坦化工程を行うことなく低コストで実現することが可能になるので、高速MOSデバイス、高速ロジック回路などに要求される低誘電率絶縁膜への追従が容易になり、高速デバイスへの適用が容易になる。

【0049】また、前記SiOFを含むリフローSiO<sub>2</sub>膜34aは、アスペクト比3までの段差を埋め込む能力を有しているので、高速デバイスの微細化に対応できる。しかも、層間絶縁膜の薄膜化によりビアホールの高さを低くすることも可能になるので、上層配線のビアホール内部での信頼性も向上する。

【0050】また、平坦性に優れた層間絶縁膜が得られるので、層間絶縁膜形成後の上層配線材料の堆積時およ



び上層配線のパターニング時に悪影響を及ぼすことなく、上層配線の段切れによる断線、短絡、層間絶縁膜のリーク電流の増加、耐圧の低下などの重大な欠陥をもたらすのを防止でき、上層配線の一層微細化と高信頼化を実現することが可能になる。

【0051】また、同一反応室内で成膜とプラズマ処理とを行うことが可能になるので、プロセスのスループットの低下を抑制することができ、上層のプラズマCVD絶縁膜を堆積形成する前まで真空中で一連の処理を行うことができるので、リフローSiO<sub>2</sub>膜のクラックの発生を抑制することができる。

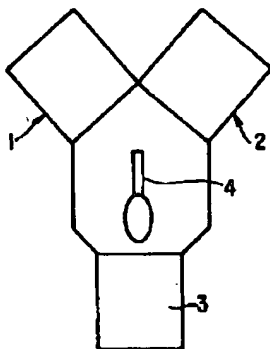
【0052】なお、前記プラズマ処理に際して導入するガスは、フッ素を含むフッ素系ガスであればよく、前記NF<sub>3</sub>ガスに限らず、CF<sub>4</sub>ガス、C<sub>2</sub>F<sub>6</sub>ガス、SF<sub>6</sub>ガスなどを使用することも可能である。

【0053】

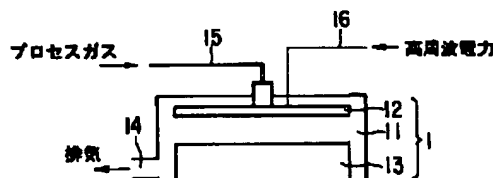
【発明の効果】上述したように本発明の半導体装置の製造方法および半導体製造装置によれば、半導体装置の多層配線工程中の層間絶縁膜形成工程にリフロー絶縁膜形成技術を採用した場合に得られるリフロー絶縁膜の比誘電率を容易に高くすることができ、平坦性に優れた層間絶縁膜を平坦化工程を行うことなく低コストで実現することができる。

【図面の簡単な説明】

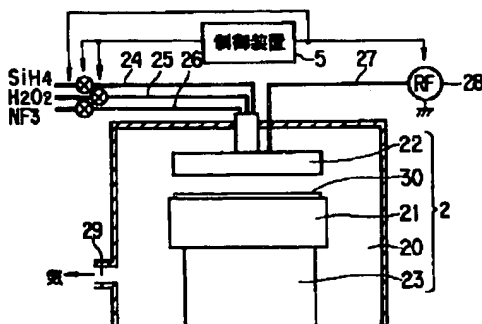
【図1】



【図2】



【図3】



【図1】 本発明の半導体装置の製造方法の実施の形態で使用されるマルチチャンバー型の半導体製造装置の構成の一例を概略的に示す図。

【図2】 図1の装置で使用されるプラズマCVD装置の一例を概略的に示す図。

【図3】 図1の装置で使用される減圧CVD装置の一例を機能選択用の制御装置とともに概略的に示す図。

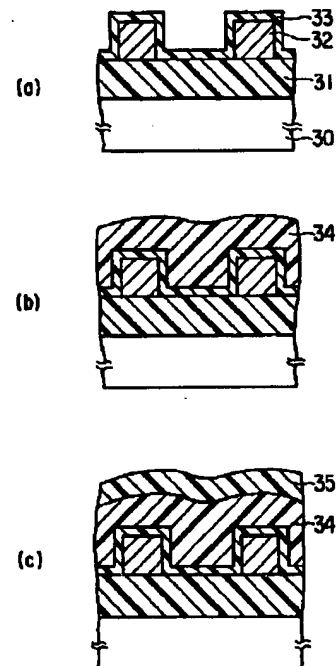
【図4】 本発明の半導体装置の製造方法の第1の実施の形態に係る層間絶縁膜形成工程にリフロー絶縁膜形成技術を採用した多層配線工程の一例を示す断面図。

【図5】 従来の多層配線工程の一例を示す断面図。

【符号の説明】

1…プラズマCVD装置、2…減圧CVD装置、3…カセットローダー室、4…ロボットアーム、20…反応室(チャンバー)、22…上部電極(シャワーヘッド)、23…下部電極(テーブル)、24…SiH<sub>4</sub>ガス供給管、25…H<sub>2</sub>O<sub>2</sub>供給経路、26…NF<sub>3</sub>ガス供給経路、27…RF供給経路、28…RF源、29…排気口、30…半導体基板、31…絶縁膜、32…下層配線、33…第1のプラズマCVD膜、34…リフローSiO<sub>2</sub>膜、34a…SiOFを含むリフローSiO<sub>2</sub>膜、341…リフローSiO<sub>2</sub>膜、342…高濃度F層、35…第2のプラズマCVD膜。

【図5】



【図4】

